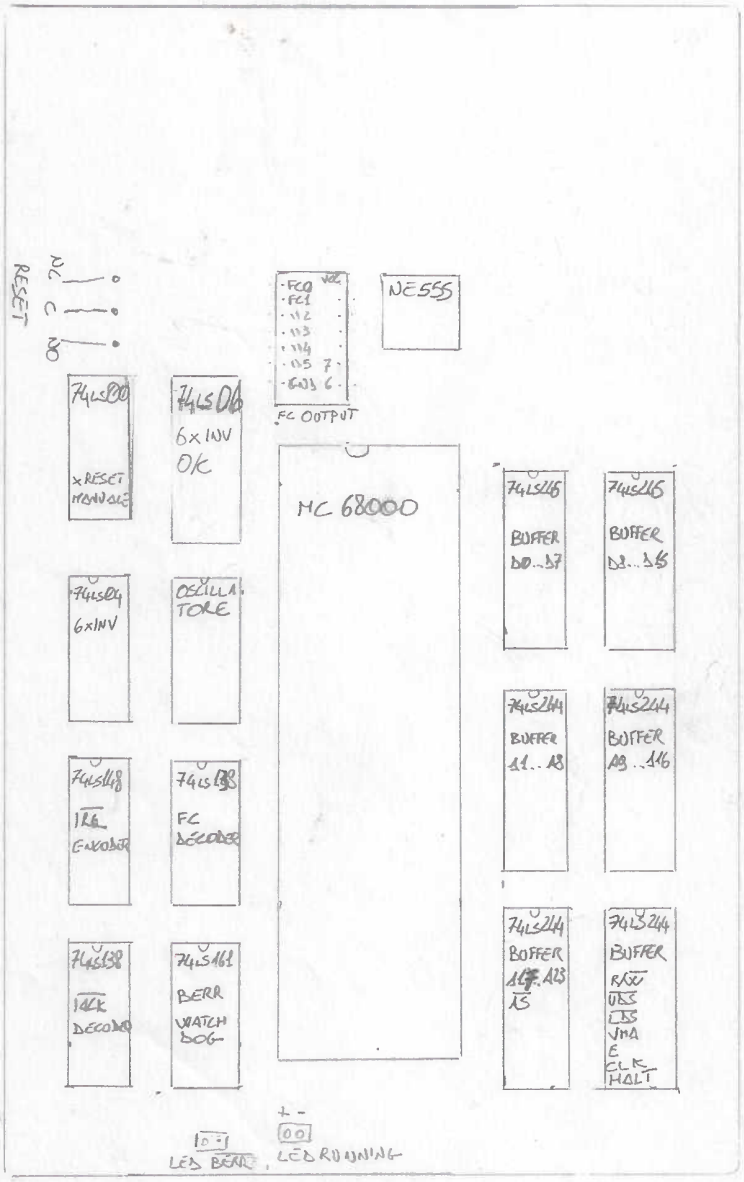
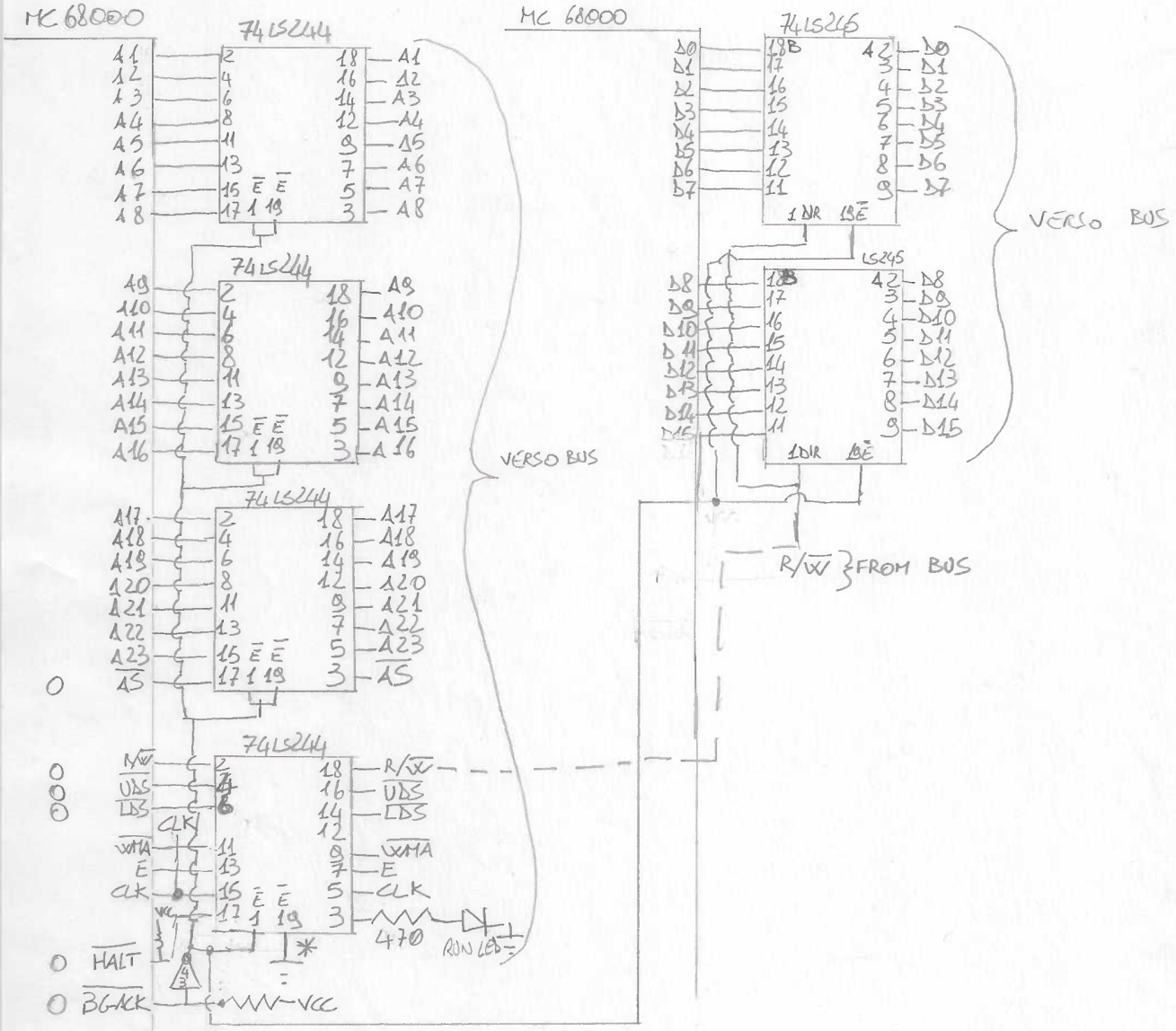
SCHEDA CPU DISPOSIZIONE COMPONENTI



68000 BUFFERING



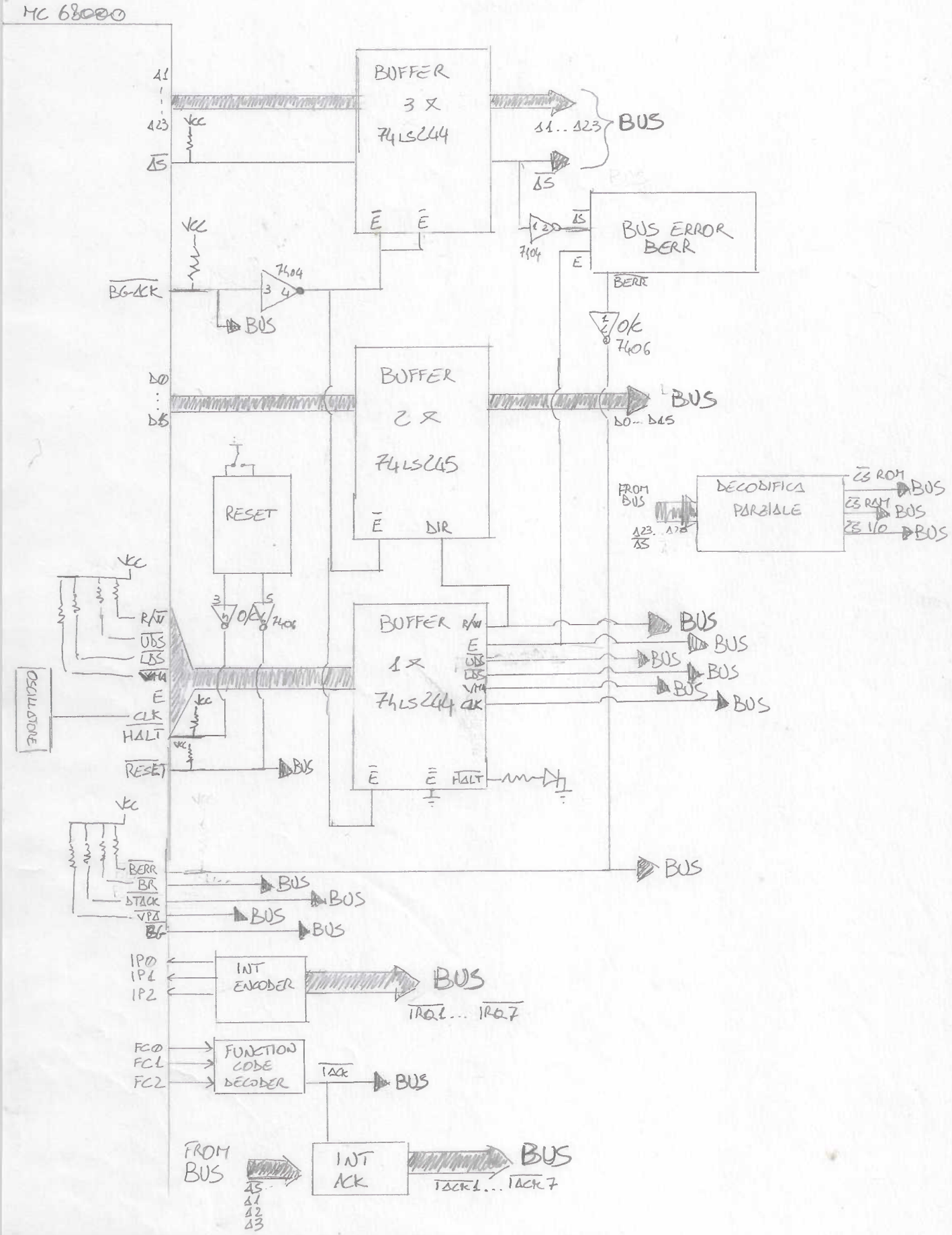
O = PULLUP
(NON TUTTE LE RESISTENZE DI PULLUP SONO QUI DISEGNATE)

FARE RIFERIMENTO ALLO SCHEMA A BLOCCHI.

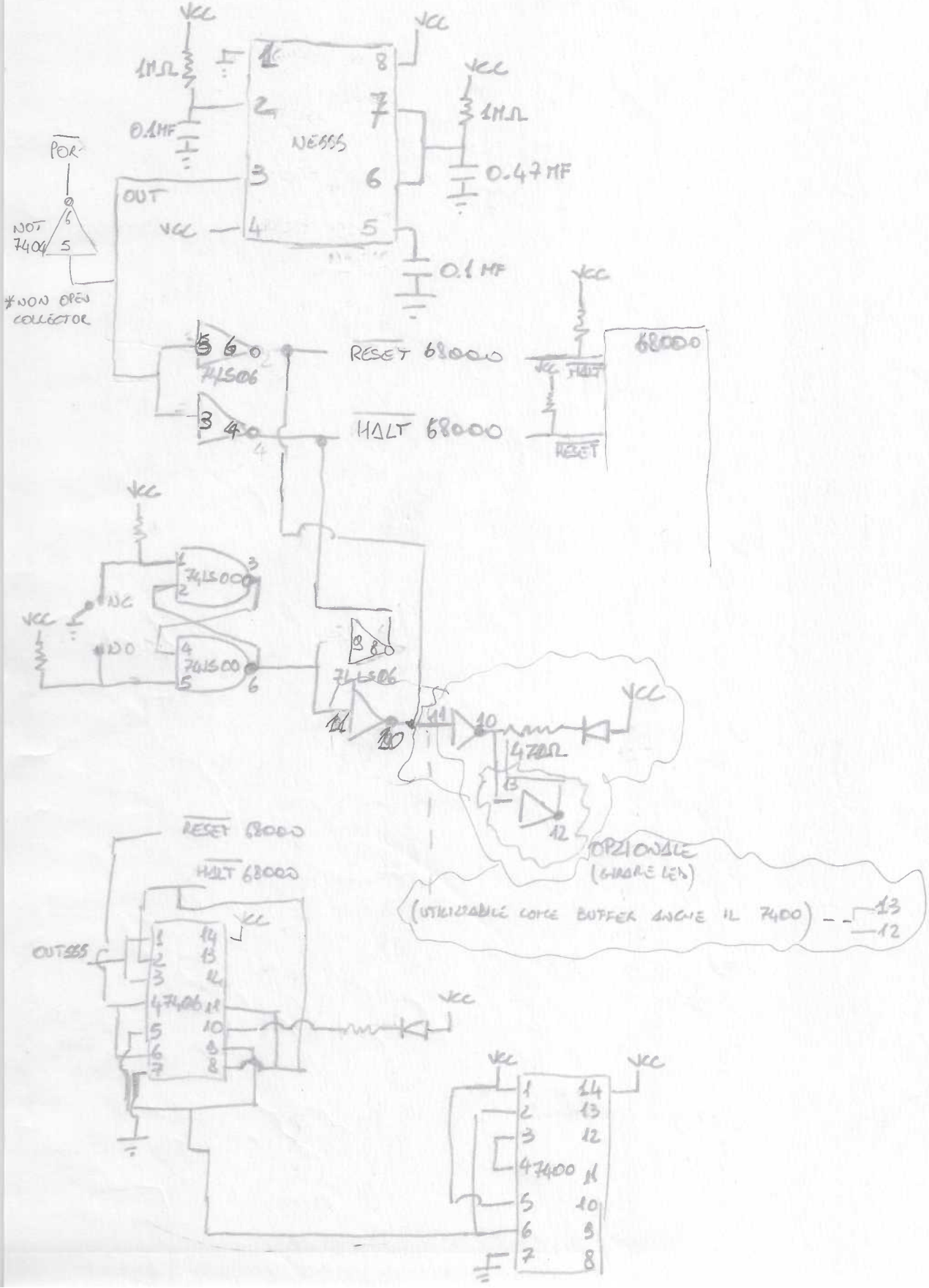
* N.B.
L'E DEL 4° 74LS244 È COLLEGATO DIRETTAMENTE A MASSA.
QUESTO IMPLICA CHE WMA, E, CLK NON SARANNO MAI IN Z.
CIÒ DÀ PER SCONTATO CHE NESSUNALTRA CPU POTRÀ IMPLEMENTARE TRASFERIMENTI SINCRONI.

* IL PIN 8 È COLLEGATO AL LS DI 74LS161. IL 12 AD UN LED PER INDICARE BERR.

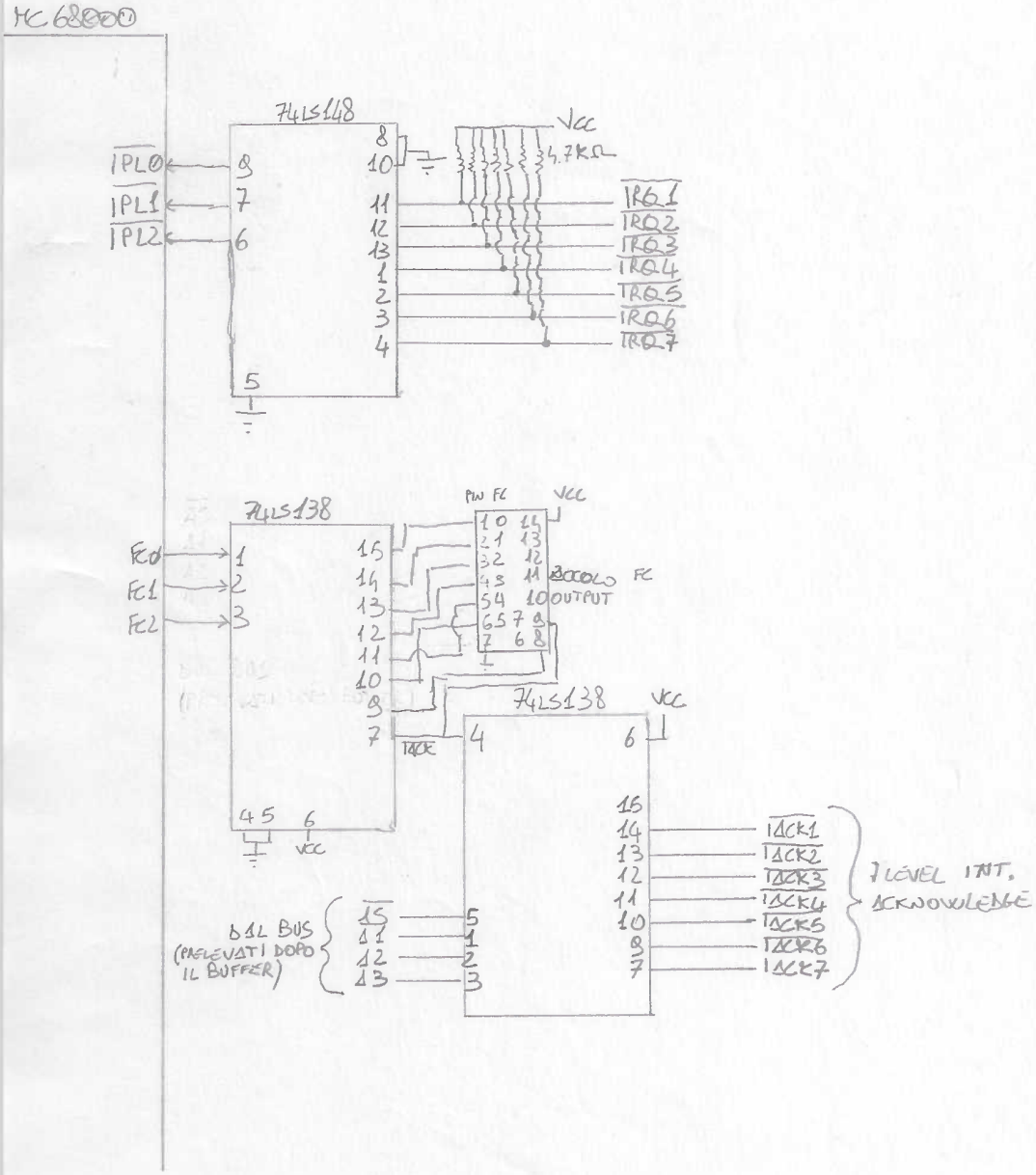
SCHEDA CPU SCHEMA A BLOCCHI



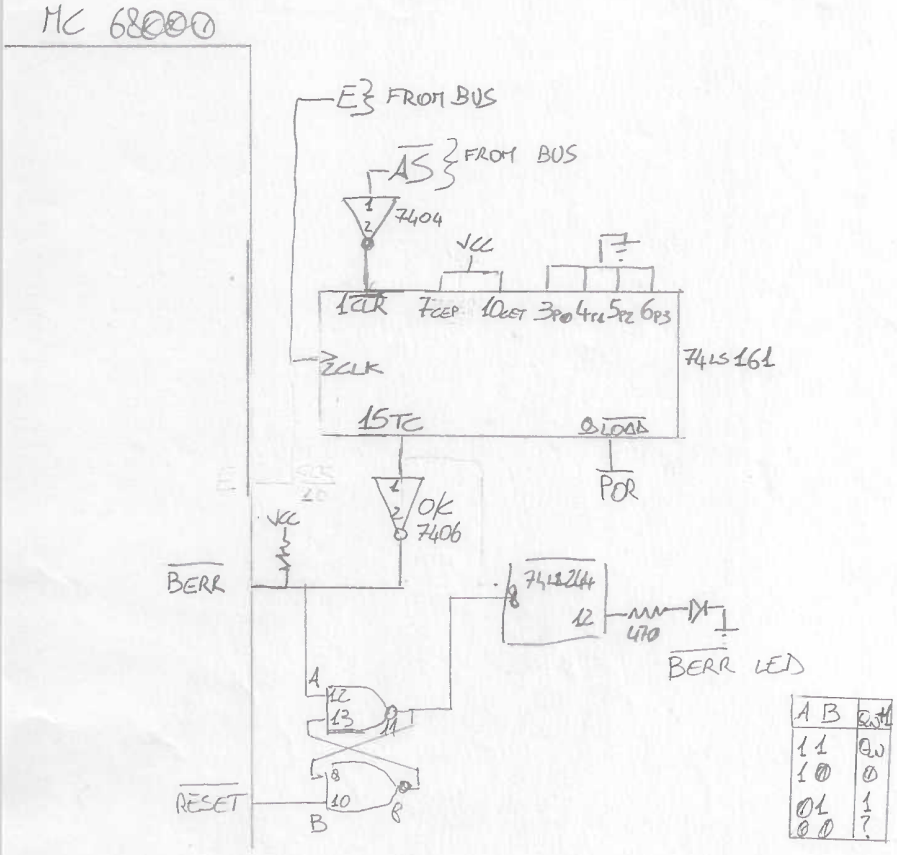
CIRCUITO DI RESET (POWERON – MANUALE)



68000 INTERRUPT



68000 BUS ERROR WATCHDOG TIMER



A	B	Q1
1	1	Q0
1	0	0
0	1	1
0	0	?

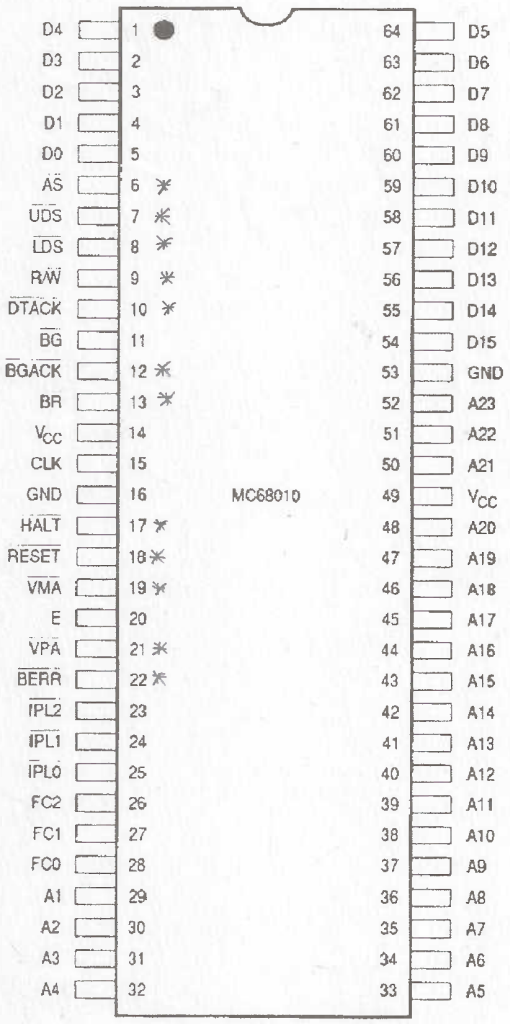
NOTE:

IL 74LS161 CONTA QUANDO CLR(MR), LOAD(PE), CET E CEP SONO TUTTI AD 1 (PINS 1, 7, 9, 10).

IL CONTEGGIO HA INIZIO QUANDO $\overline{AS}$ VIENE ASSERITO.
IL CLOCK È DERIVATO DA QUELLO DEL 68000.
VIENE PRELEVATO DA E ED È UN DECIMO DEL CLOCK PRINCIPALE.
TC VA ALTO DOPO 15 CICLI DI E.
SE $\overline{AS}$ VIENE NEGATO NELL'ARCO DEI 15 CICLI
IL CONTATORE VIENE RESETTATO ED IL CONTEGGIO INTERROTTO.

PIN ASSIGNMENTS

64-LEAD DUAL-IN-LINE PACKAGE



*PULL UP

PIN	ROW A	ROW B	ROW C
1	D00	BBSY* VMA	D08
2	D01	BCLR* VMA	D09
3	D02	ACFAIL* E	D10
4	D03	BG0IN* BR	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN* BG	D13
7	D06	BG1OUT* NO	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT* BGACK	GND
10	SYSCLK CLK	BG3IN*	SYSFAIL* IPØ
11	GND	BG3OUT*	BERR*
12	DS1* UDS	BR0* IACK1	SYSRESET* RESET
13	DS0* LDS	BR1* IACK2	LWORD* IP1
14	WRITE* R/W	BR2* IACK3	AM5 FC2
15	GND	BR3* IACK4	A23
16	DTACK*	AM0 IACK5	A22
17	GND	AM1 IACK6	A21
18	AS*	AM2 IACK7	A20
19	GND	AM3 FC0	A19
20	IACK*	GND	A18
21	IACKIN NO	SERCLK IP2	A17
22	IACKOUT*	SERDAT HALT	A16
23	AM4 FC1	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12V	+5VSTDBY	+12V
32	+5V	+5V	+5V