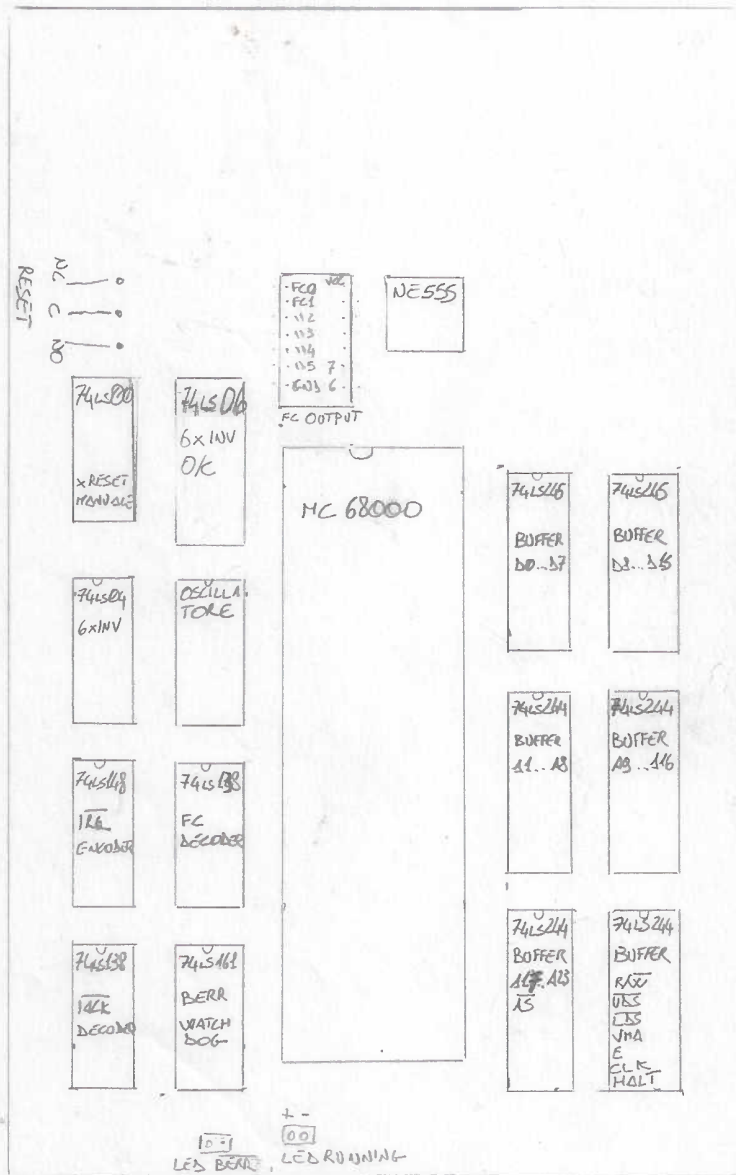
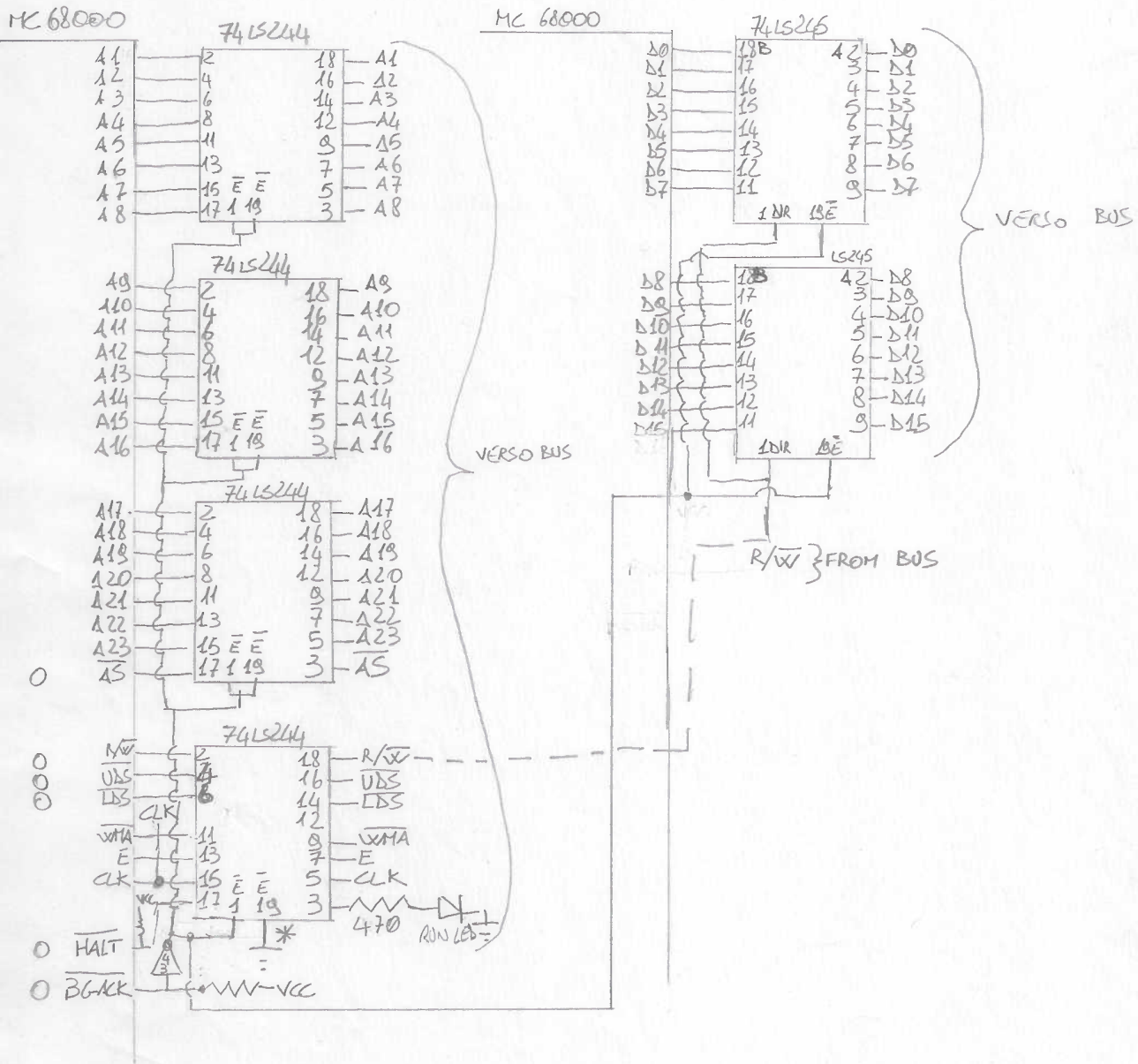


SCHEDA CPU (DISPOSIZIONE COMPONENTI)



68000 BUFFERING



○ = PULLUP
(NON TUTTE LE RESISTENZE DI PULLUP SONO QUI DISEGNATE)

FARE RIFERIMENTO
ALLO SCHEMA A BLOCCHI.

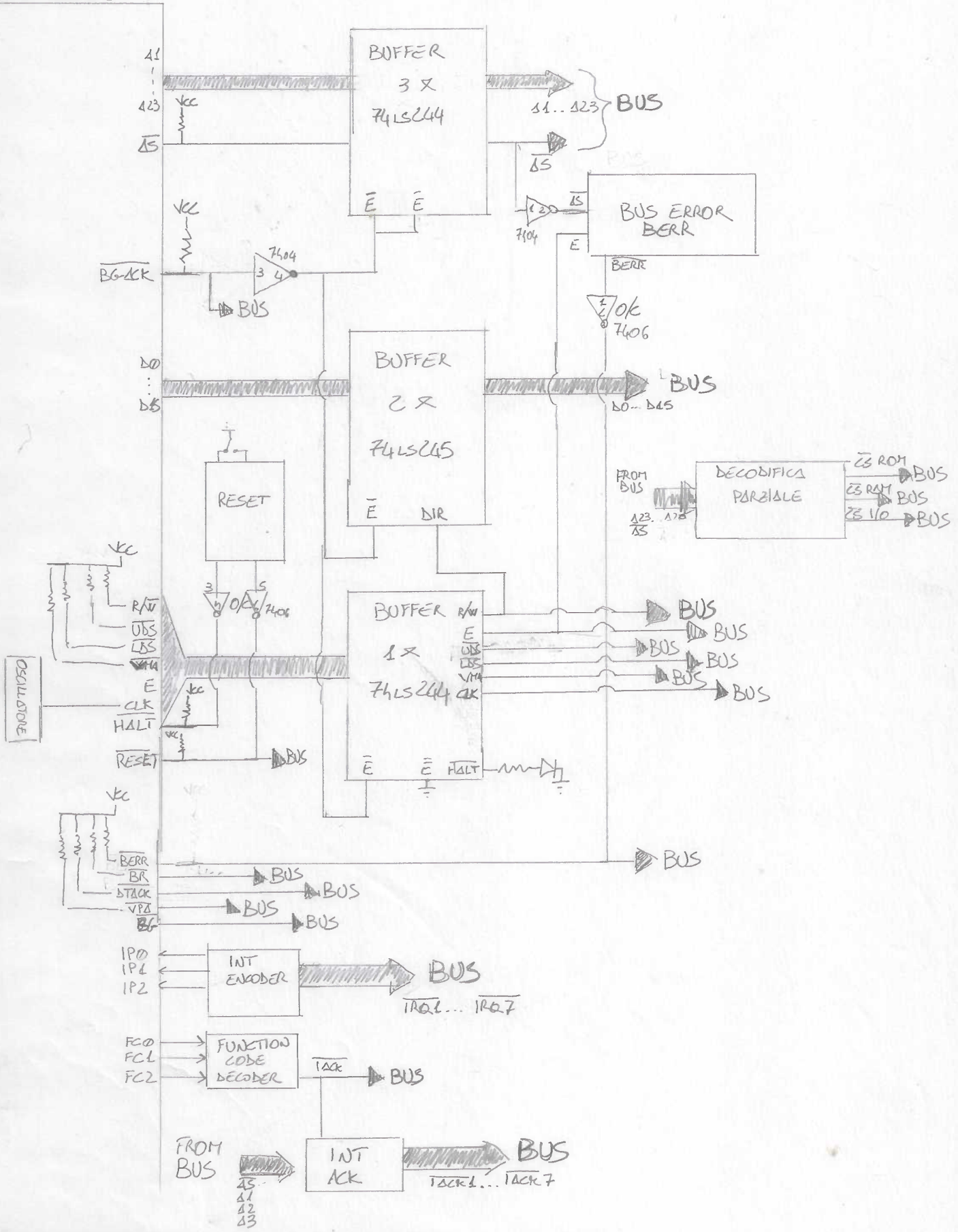
* N.B.

L'EMBEL 4° 74LS244 È COLLEGATO DIRETTAMENTE A MASSA.
QUESTO IMPLICA CHE WMA, E, CLK NON SARANNO HALT IN Z.
CIÒ DA PER SODDIZIATO CHE NESSUN'ALTRA CPU POTRÀ IMPLEMENTARE TRASFERIMENTI SIDAONI.

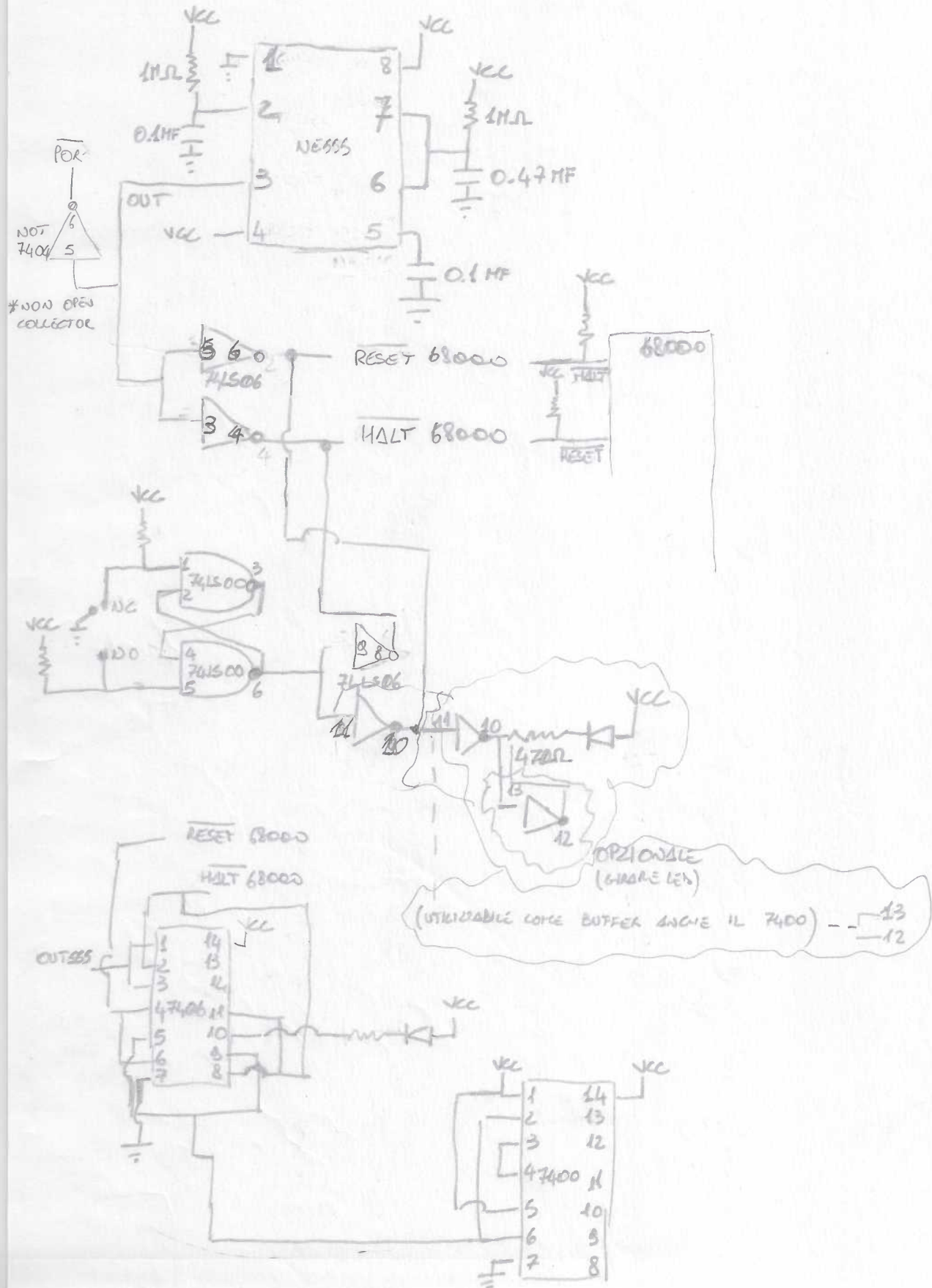
* IL PIN 8 È COLLEGATO AL 15
DI 74LS161. IL 12 AD UN LED
PER INDICARE BERR.

SCHEDA CPU SCHEMA A BLOCCHI

MC 68000

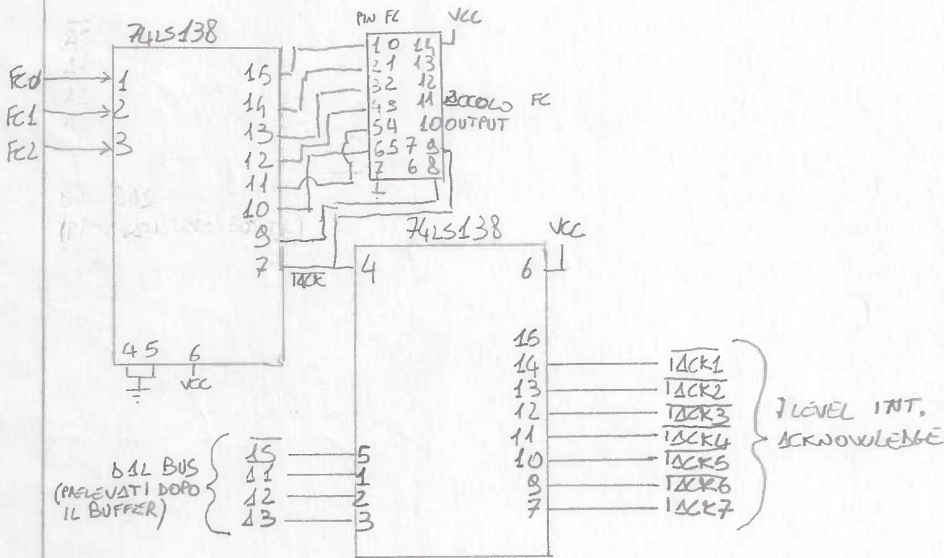
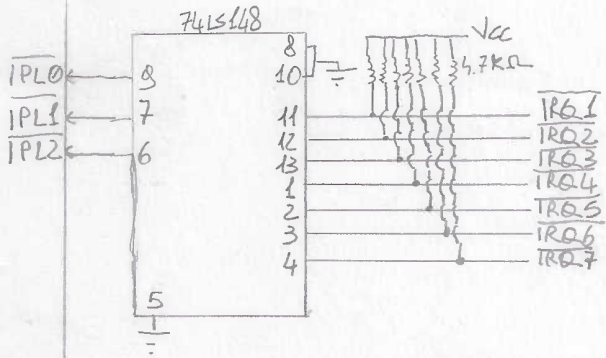


CIRCUITO DI RESET (POWERON - MANUALE)



68000 INTERRUPT

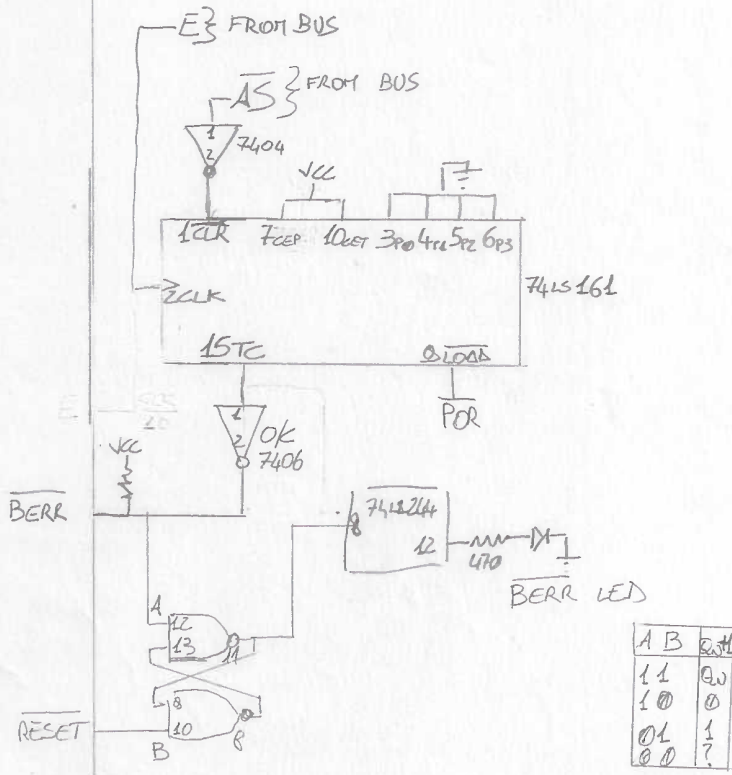
MC 68000



68000

BUS ERROR WATCHDOG TIMER

MC 68000

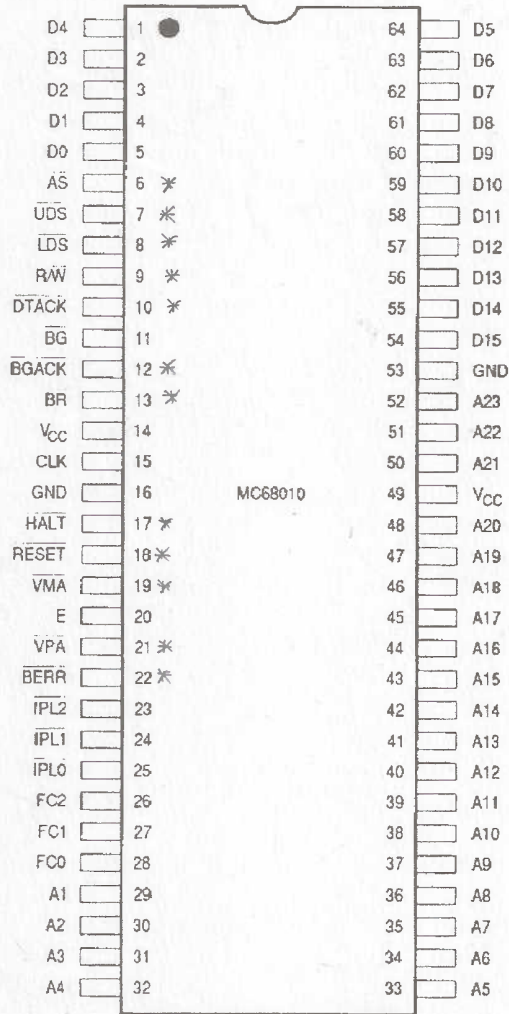


NOTE:

- IL 74LS161 CONTA QUANDO CLR (1), LOAD (10), CET E CEP SONO TUTTI AD 1 (PINS 1, 7, 9, 10)!
- IL CONTEGGIO HA INIZIO QUANDO AS VIENE ASSERTITO.
- IL CLOCK È DERIVATO DA QUELLO DEL 68000.
- VIENE PRELEVATO DA E ED È UN SECONDO DEL CLOCK PRINCIPALE.
- TC VA ALTO DOPO 15 CICLI DI E.
- SE AS VIENE NEGATO NELL'ARCO DEI 15 CICLI IL CONTATORE VIENE RESETTATO ED IL CONTEGGIO INTERROTTO.

PIN ASSIGNMENTS

64-LEAD DUAL-IN-LINE PACKAGE



* PULL UP

PIN	ROW A	ROW B	ROW C
1	D00	BBSY* V14	D08
2	D01	BCLR* V1A	D09
3	D02	ACFAIL*E	D10
4	D03	BG0IN* BR	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN* BG	D13
7	D06	BG1OUT* NO	D14
8	D07	BG2IN* BG	D15
9	GND	BG2OUT* BG	GND
10	SYSCLK <i>clk</i>	BG3IN*	SYSFAIL* IP0
11	GND	BG3OUT*	BERR*
12	DS1* <i>U55</i>	BR0* IACK1	SYSRESET* <i>KSET</i>
13	DS0* <i>U53</i>	BR1* IACK2	LWORD* IP1
14	WRITE* <i>R/W</i>	BR2* IACK3	AM5 FC2
15	GND	BR3* IACK4	A23
16	DTACK*	AM0 IACK5	A22
17	GND	AM1 IACK6	A21
18	AS*	AM2 IACK7	A20
19	GND	AM3 FC0	A19
20	IACK*	GND	A18
21	IACKIN <i>200</i>	SERCLK <i>IP2</i>	A17
22	IACKOUT* <i>201</i>	SERDATA <i>HA1</i>	A16
23	AM4 FC1	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12V	+5VSTDBY	+12V
32	+5V	+5V	+5V